



SGM 기반 3차원 정보 추출 ASIC

경북대학교 일반대학원 전자전기공학부

김영현, 민경국, 문병인



서론

스테레오 비전기반 3차원 거리 정보 획득 기술은 카메라 데이터와 거리 정보 데이터를 동시에 획득하고 매칭할 수 있어 자율주행, 로봇 비전 등의 분야에서 활용도가 높다. 카메라 센서를 이용한 3차원 거리 정보 획득 기술 중, SGM(semi-global matching) 기법은 연산량 대비 높은 정확도를 보여 주어 널리 활용되고 있으며, 이를 하드웨어로 구현하기 위한 연구가 다수 진행되고 있다. 특히, 3차원 정보 획득 가속기를 ASIC으로 개발할 경우 저전력 동작 특성을 확보할 수 있으므로, 3차원 정보를 요구하는 임베디드 시스템에서 활용될 수 있다. 이에 본 연구진은 2021년 1회차 28nm 공정으로 제작한 칩의 구조를 기반으로 2D-haar Wavelet Filter 모듈을 추가하여 시차 정확도를 개선한 구조로 가속기를 설계하고, 삼성 28nm 공정을 사용하여 설계된 가속기를 ASIC으로 개발하였다[1, 2].

3차원 정보 획득 가속기의 하드웨어 구조

3차원 거리 정보 획득 가속기의 하드웨어 구조는 그림 1과 같다. 스테레오 카메라 영상의 3차원 정보를 추출하기 위해 크게 Pre-Processing 모듈, SGM 모듈, Post-Processing 모듈로 구성된다. Pre-Processing 모듈은 좌/우 영상을 렉티피케이션(rectification)하고, 2D-haar Wavelet Filter를 통해 고주파 성분이 제거된 보정 영상을 SGM 모듈로 입력하게 된다. 특히, 2D-haar Wavelet Filter의 경우 일반적으로 사용되는 2D-gaussian Filter의 비해 KITTI 데이터셋 기준 오정합률이 약 3.5% 개선되어 기존에 제안한 SGM 구조보다 높은 정합률을 달성할 수 있다 [1]. SGM 모듈에서는 보정된 입력영상을 기반으로 CSCT(center-symmetric census transform) 연산을 수행하여 초기 비용을 계산하고, 4방향의 경로 비용을 각각 연산한다. 4방향의 경로 비용은 비용 집계(cost aggregation)되며 좌우측 영상을 기준으로 한 시차가 각각 출력된다. Post-Processing 모듈에서는 출력된 좌우 시차를 기반으로 시차의 신뢰도 판단 및 전파하며, 가중 메디안 필터를 통해 개선된 시차를 최종 출력한다[2].

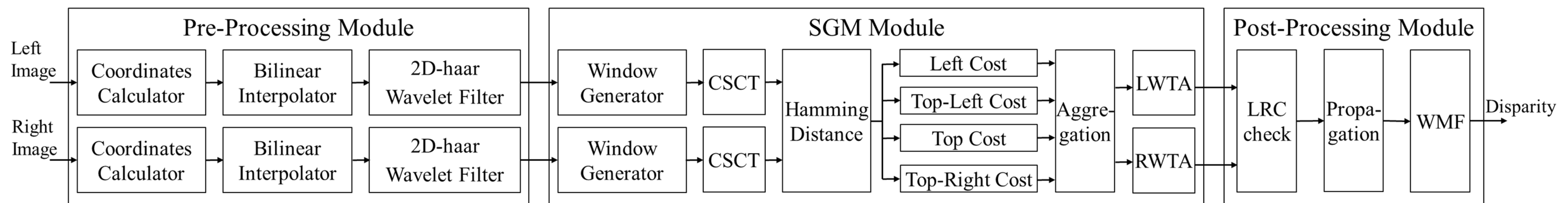


그림 1. 3차원 거리 정보 획득 가속기의 하드웨어 구조

ASIC 설계

Verilog HDL을 사용하여 3차원 정보 획득 가속기의 하드웨어 구조를 설계하고 FPGA를 통해 검증하였다. 3차원 정보 획득 ASIC의 설계 사양은 표 1과 같으며, Gate count 부분은 Design compiler로 합성한 결과 이다. ASIC 개발 과정은 FPGA를 통해 검증이 완료된 HDL을 기반으로 표 2의 과정을 순차적으로 수행하였으며, 최종적인 칩 레이아웃은 그림 2와 같다.

칩 동작 검증 환경

칩의 동작을 검증하기 위한 환경은 그림 3과 같다. 칩 테스트 보드에 칩을 마운트하고 해당 보드와 FPGA보드를 서로 연결한다. FPGA보드는 테스트용 입력 이미지를 테스트보드로 전송하고 칩에서 나온 결과 영상은 다시 FPGA로 받아 인터페이스 보드를 통해 PC로 전송하며, 최종적으로 결과 영상을 PC에서 확인하여 동작 여부를 확인했다.

결론

본 연구에서는 2021년 1회차 28nm 공정으로 개발한 칩의 구조를 기반으로 시차 정확도를 개선한 구조를 ASIC으로 개발하였다. 개발한 3차원 거리 정보 획득 ASIC은 SGM 기법 및 전/후 처리 연산을 파이프라인 구조로 설계하여, HD해상도의 스테레오 이미지를 초당 30프레임으로 처리 가능하며, FPGA기반으로 동작검증을 확인하였다. 최종적으로 개발된 ASIC을 칩 동작 검증 환경에서 테스트를 하였고, 칩 동작 검증 결과 일부의 칩만 부분적으로 동작하였다.

참고문헌

- [1] C. -H. Choi, Y. Kim, J. Ha and B. Moon, "Haar Filter Hardware Architecture for the Accuracy Improvement of Stereo Vision Systems," in Proc. Int. SoC Design Conf. (ISOCC), pp. 401-402, 2021.
- [2] J. Hyun, et al., "Hardware-friendly architecture for a pseudo 2D weighted median filter based on sparse-window approach," Multimed. Tools Appl., vol. 80, no. 26, pp. 34221-34236, 2021.

감사의 글

본 연구는 IDECC에서 MPW와 EDA Tool을 지원받아 수행하였습니다. 본 연구는 2021년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(NRF-2016R1D1A3B01015379)의 연구결과임.

Specifications	
Image resolution	1280×720(stereo image)
Maximum Frequency	74.25Mhz
Memory	192 SRAMs of 1280×12 38 SRAMs of 1280×8 64 SRAMs of 512×8 26 SRAM of 1280×7 26 SRAM of 1280×4
Gate count	1,001,044
die size	4 mm × 2 mm

표 1. ASIC 설계 사양

Phase	Task	Description
Front-end	1	RTL Design & Function Simulation
	2	Synthesis
	3	Design Rule Check
	4	Formal Verification
	5	Pre-layout Static Timing Analysis
	6	Pre-layout Simulation with SDF
Back-end	7	Place & Route
	8	RC Extraction
	9	Post-layout Static Timing Analysis
	10	Post-layout Simulation with SDF
	11	Static Power Analysis
	12	Physical Verification

표 2. ASIC 개발 과정 및 Task

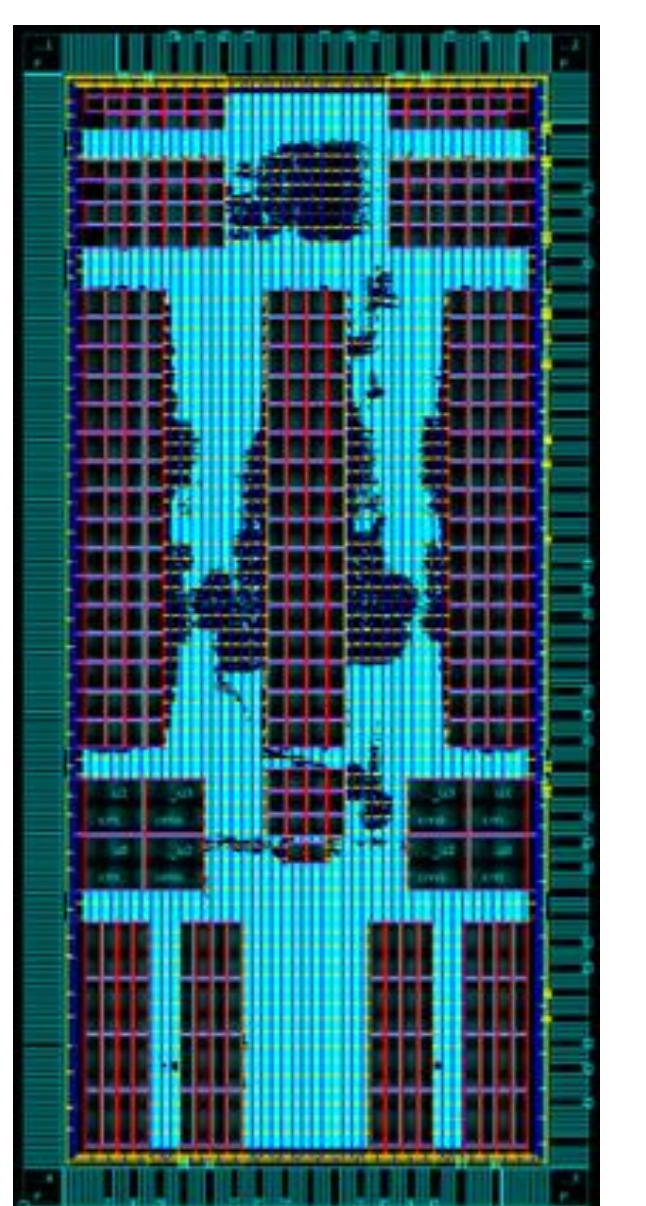


그림 2. ASIC 레이아웃

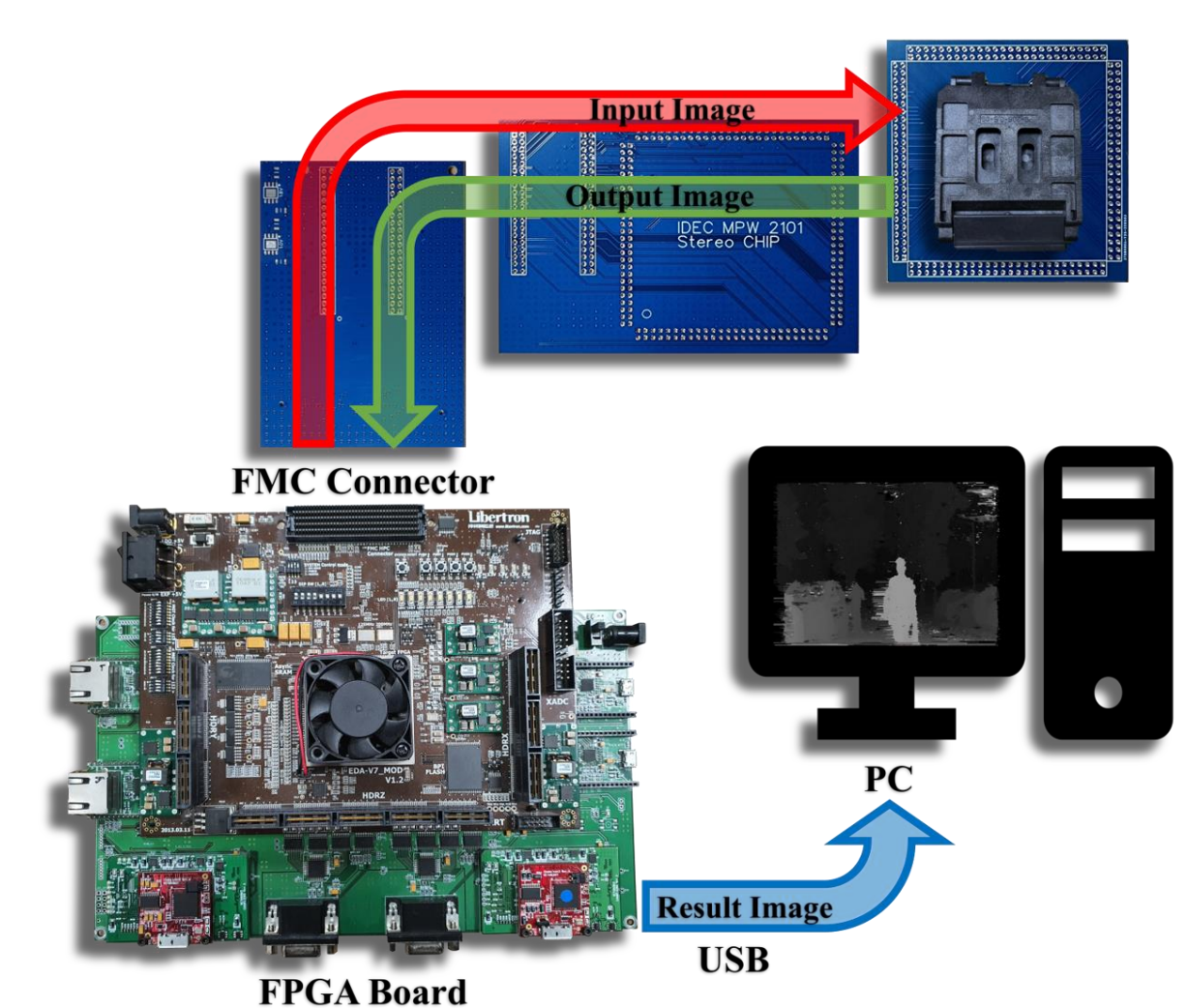


그림 3. ASIC 동작 검증 환경